

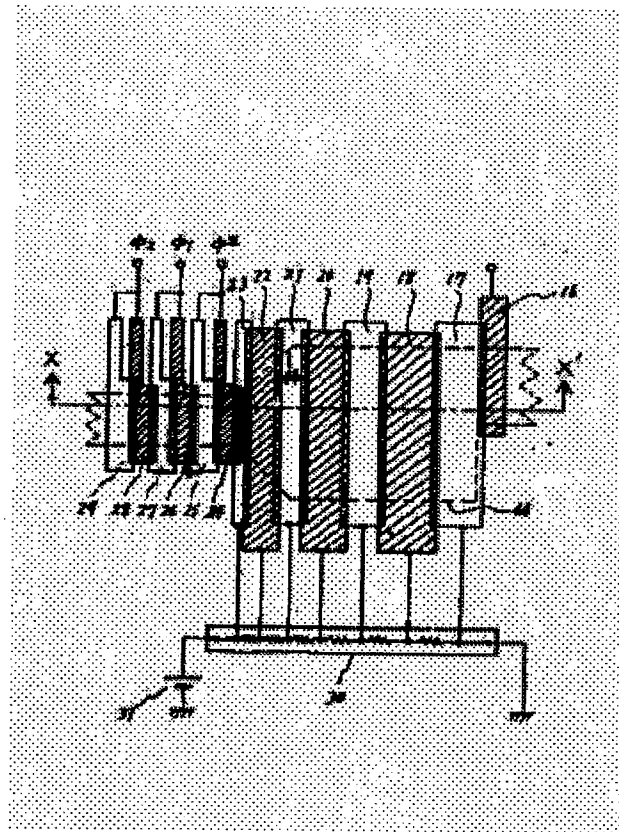
CHARGE COUPLING TYPE QUANTIZING CIRCUIT

Patent number: JP57105893
Publication date: 1982-07-01
Inventor: YAMADA TETSUO
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- **international:** H03M1/12; H03M1/12; (IPC1-7): G11C27/00; H01L29/76
- **europaen:** H03M1/12
Application number: JP19800182147 19801224
Priority number(s): JP19800182147 19801224

Report a data error here

Abstract of JP57105893

PURPOSE:To achieve a charge coupling type quantizing circuit with high speed and performance to a large signal charge amount, by forming a channel potential so that a signal charge of a charge storage section always moves from a charge input section to a charge split section. **CONSTITUTION:**An input barrier electrode 16 corresponds to a charge injecting electrode as conventional device, and charge storage electrode groups 17-23 applied with different voltages and split electrodes 24, 25 making quantization are formed, a transfer pulse ϕ_1 is applied to transfer electrodes 26, 27 and a transfer pulse ϕ_2 is applied to transfer electrodes 28, 29 respectively. In this case, two-phase transfer electrodes are shown. A split resistor 30 splits a voltage of a power supply 31 and an ion injection layer of the opposite conduction type as the substrate formed in one chip is used as a resistive element. An analog signal charge injected to a storage region moves in a step potential and storage is made from a channel under a storage electrode 23 with the lowest potential.



Data supplied from the esp@cenet database - Worldwide

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-105893

⑤ Int. Cl.³

識別記号

庁内整理番号

③ 公開 昭和57年(1982)7月1日

G 11 C 27/00

7343-5B

H 01 L 29/76

6851-5F

発明の数 1

審査請求 未請求

(全 7 頁)

④ 電荷結合形量子化回路

浦電気株式会社トランジスタ工場内

② 特 願 昭55-182147

⑦ 出 願 人 東京芝浦電気株式会社

② 出 願 昭55(1980)12月24日

川崎市幸区堀川町72番地

② 発 明 者 山田哲生

⑦ 代 理 人 弁理士 則近憲佑 外1名

川崎市幸区小向東芝町1 東京芝

明 細 書

1. 発明の名称

電荷結合形量子化回路

2. 特許請求の範囲

1) 第1導電形半導体基板上に絶縁膜を介して配設された少なくとも1個の導電性電極と、前記第1導電形半導体基板表面に選択的に形成された電荷蓄積部と、この電荷蓄積部へ信号電荷を注入する電荷入力部と、前記注入された信号電荷を所定の単位電荷束に分割し時系列量子化信号電荷束列に変換する電荷分割部と、前記電荷蓄積部に注入された信号電荷が前記電荷入力部から前記電荷分割部へ向かって常時移動するようにチャネル電位を形成するバイアス手段とを具備したことを特徴とする電荷結合形量子化回路。

2) 前記チャネル電位を階段状に形成したことを特徴とする前記特許請求の範囲第1項記載の電荷結合形量子化回路。

3) 前記チャネル電位を傾斜状に形成したことを特徴とする前記特許請求の範囲第1項または第2

項記載の電荷結合形量子化回路。

4) 前記バイアス手段が、前記第1導電形半導体基板に形成された複数個の第2導電形高抵抗不純物層より成る電圧分割抵抗素子を用いることを特徴とする前記特許請求の範囲第1項乃至第3項いずれか記載の電荷結合形量子化回路。

5) 前記バイアス手段が、前記第1導電形半導体基板上に絶縁膜を介して配設して成る複数個の高抵抗多結晶シリコンより成る電圧分割抵抗素子を用いることを特徴とする前記特許請求の範囲第1項乃至第4項いずれか記載の電荷結合形量子化回路。

6) 前記電荷蓄積部を前記第1導電形半導体基板に第2導電形不純物領域を選択的に設けこの領域内に第1導電形不純物領域を選択的に設け形成したことを特徴とする前記特許請求の範囲第1項乃至第5項いずれか記載の電荷結合形量子化回路。

7) 前記電荷蓄積部の階段状チャネル領域のチャネル幅を前記電荷分割部に向かって漸次減少したことを特徴とする前記特許請求の範囲第1項乃至

第6項いずれか記載の電荷結合形量子化回路。

8) 前記電荷蓄積部の階段状チャネル領域の各階段のチャネル長を前記電荷分割部に向かって漸次短かくしたことを特徴とする前記特許請求の範囲第1項乃至第7項いずれか記載の電荷結合形量子化回路。

3. 発明の詳細な説明

本発明は電荷転送回路に関し、特にアナログ信号量を、電荷転送原理に基づいて量子化する電荷転送形量子化回路に用いて好適な技術に関するものである。

従来アナログ信号量を量子化する回路としては、アナログ信号量を電荷量として取り扱い、その電荷量を所望の単位量に分割し、量子化を行うものが良く用いられている。これは、電荷量として取り扱うことにより、電圧雑音の混入を防ぎ、S/N比(信号雑音比)の高い、しかも高速の処理回路が得られるためである。第1図(a)に従来の電荷転送形量子化回路の断面構造図を示す。(1)はp形半導体基板、(2)は埋込みチャネルを形成する低濃度

特開昭57-105893(2)

p⁺形不純物層、(3)は転送チャネルに非対称電位を形成し、2相駆動を可能ならしめるためのp⁺形不純物層、(4)はMOS(Metal Oxide Semiconductor)形電荷蓄積電極、(5)は電荷注入用障壁電極、(6)は電荷入力転送用電極で同電極下に形成されたポテンシャルを押し上げることにより電荷注入用障壁電極(5)の下に形成されている障壁ポテンシャルを越えて、電荷が蓄積電極下のポテンシャル井戸に入力される。(7)は電荷蓄積井戸に蓄えられたアナログ信号電荷を、単位量に分割し、転送レジスタへ汲み出すための分割電極、(8)は(7)から量子化された信号電荷束を受け取り、紙面に向かって左側へ転送するための転送電極、(9)は絶縁膜を各々示す。即ち、電荷入力電極(5)(6)下のチャネルから蓄積電極(4)下のチャネルへ注入されたアナログ信号電荷は、非対称ポテンシャルを有する分割電極(7)に高電圧を印加することによりそのチャネルを満たし、低電圧の印加により前記非対称ポテンシャルの差に応じた単位電荷量に分割され汲み出される。この様子は第1図(b)~(f)に示したポテンシャル分布

図で具体的に示されている。破線(10)は分割電極下のチャネルポテンシャル分布を示し、(11)はアナログ信号電荷、(12)は分割された量子化信号電荷束を各々示す。第1図(g)は、印加パルスのタイミング図であり、パルスφ^{*}は分割電極(7)、パルスφ₁は転送電極(8)に加える電圧パルスを示し、パルスφ₂は転送電極(8)左方に隣接しており同一構造の2相駆動電極に印加する逆位相の電圧パルスを示す。

第1図の(b)~(f)は各々第1図(g)のt=t₁, t₂, t₃, t₄, t₅に対応する時間に形成された各電極下のポテンシャル分布を示す図である。第1図(g)に従がい信号の量子化動作を繰り返すことにより量子化された時系列信号が、順次紙面左方向へ転送されることになる。これらの量子化信号列は、必要に応じた処理の後又は、直接、周知の電荷-電圧変換回路を経て出力される。

以上説明したように、従来例においてアナログ信号の量子化が可能となるが、取り扱う信号量が大きくなるか又は、高速性が要求された場合次の

ような欠点を有する。即ち、大きな信号電荷量を量子化する場合、電荷蓄積部の電荷蓄積量はそれに応じて大きくしなければならない。具体的には蓄積電極(4)の面積を大きくして蓄積領域を拡大することになる。これに伴って量子化分割電極(7)に対して蓄積電極(4)の最も遠方の領域迄の距離が増加する。従来例においては、蓄積電極(4)には一定の電圧が印加されているため、蓄積領域はほぼ一定のポテンシャルに保たれ、従って分割電極(7)下へ流れ込む信号電荷は、主に拡散電流として移動する。即ち、前記分割電極(7)へ至る距離の約2乗に比例して移動時間が増加し、蓄積領域内の電荷量が小さくなると、致命的に移動速度は減少、高速かつ高精度の量子化は不可能になってしまう。

本発明は上記欠点に鑑みなされたもので、第1導電形半導体基板上に絶縁膜を介して配設された少なくとも1個の導電性電極と、前記第1導電形半導体基板表面に選択的に形成された電荷蓄積部と、この電荷蓄積部へ信号電荷を注入する電荷入力部と、前記注入された信号電荷を所定の単位電荷束

に分割し時系列量子化信号電荷束列に変換する電荷分割部と、前記電荷蓄積部に注入された信号電荷が前記電荷入力部から前記電荷分割部へ向かって常時移動するようにチャネル電位を形成するバイアス手段とを具備したことによって、大きな信号電荷量に対しても、高速でしかも高性能な電荷結合形量子化回路を提供することを目的とするものである。

以下、図面を参照して本発明を、実施例に基づき詳細に説明する。

第2図に本発明の第1の実施例の平面構成図を示す。入力障壁電極(16)は従来例における電荷注入用電極(5)に相当し、続いて各々異なる電圧が印加される電荷蓄積電極群(17)~(23)及び量子化を行う分割電極(24)、(25)が形成されており、転送パルス ϕ_1 が転送電極(26)、(27)、転送パルス ϕ_2 が転送電極(28)、(29)に各々印加される。この場合2相転送電極を示す。(30)は電源(31)の電圧を分割するための分割抵抗で、この場合、同一チップ内に形成された基板と反対導電形のイオン注入層を抵抗素子としてい

る。第3図(b)~(g)は第3図(a)の各領域に対応するチャネルポテンシャル分布図で、本発明の動作原理を説明するためのものである。第3図(b)はアナログ信号電荷束が蓄積領域に注入された状態を示し、(39)は信号電荷を示し、(37)は信号電荷が存在しない時の階段状に分布した蓄積領域のポテンシャル分布、(38)は分割電極下のポテンシャル、(40)は転送電極(26)(27)下のポテンシャルを各々示す。第3図(b)は分割電極(24)(25)に加えるパルス ϕ^* 、転送電極(26)(27)(32)に加える転送パルス ϕ_1 、同じく転送電極(28)(29)(33)に加える転送パルス ϕ_2 のタイミング図であり、図の時間 t_1 の時に形成されるポテンシャル分布図が第3図(b)に相当する。即ち第3図(b)においてアナログ信号電荷(39)は全て蓄積領域に保持されている。次に時間 t_2 に至って分割電極に高電圧が印加され、第3図(c)に示すように分割電極下のポテンシャルが下降し、信号電荷は分割電極(24)、(25)下迄流れ込む。 $t=t_2$ は ϕ^* が再び低電圧へ下降する過渡状態であり第3図(d)に示すように分割電極(24)と(25)の電位差に相当する電荷束(41)を残して、

特開昭57-105893(3)

る。本発明の第1の実施例においては2層ポリシリコンを用いた複数の重ね合わせ電極(この場合7電極)の各々に、分割抵抗(30)により抵抗分割された異なる電圧を印加し、(17)(18)(19)(20)(21)(22)(23)の順に低電圧から徐々に上昇した電圧が印加され、対向する蓄積領域のチャネルに階段状のポテンシャルを形成し、従来例と同様に入力障壁電極を通して、蓄積領域に注入されたアナログ信号電荷は、前記階段状ポテンシャル中を移動しポテンシャルの最も低い蓄積電極(23)下のチャネルから蓄積が行われる。次に第3図(a)に第2図のX-X'切断断面構造図を示し動作原理を説明する。尚、第2図と同一箇所は同一符号を付して説明する。(34)は本実施例ではp形半導体基板、(35)はn形埋込みチャネル層(36)はCCD(Charge Coupled Device)を2相駆動するのに必要なポテンシャルの方向性を与えるためのp⁻形低濃度不純物層、(32)(33)は量子化された電荷を(29)から受けて紙面の左方へ転送するための転送電極を示す。第1の実施例では信号電荷の蓄積、量子化、転送は全て埋込みチャネル(35)内で行われ

ポテンシャルの上昇と共に再び蓄積領域へ逆流を起す。この時分割電極(25)下に残された電荷束(41)が量子化された単位電荷となる。 $t=t_2$ では量子化された第1番目の電荷束が2相駆動の電荷転送レジスタへ移され、転送を開始する。同様の動作をくり返して量子化が行われ、量子化動作が進むに従って蓄積領域に保持される信号電荷は減少してゆく。本発明においては蓄積領域内のポテンシャル分布(37)が階段状に形成されているため、電荷の減少に伴って、その重心が分割電極(24)、(25)側へ移動してゆく。たとえば最後の量子化電荷は分割電極(24)と隣接した蓄積電極(23)の下にだけ局在し、従って、(f)に示すように分割電極下のポテンシャルが下降すると瞬時に分割電極下へ移動し、高速の量子化が可能になる。これが本発明の大きな特徴である。第3図(g)は最後(ノ番目)の量子化単位電荷束であり、(43)は(ノ-1)番目の量子化電荷束を示す。このようにして、アナログ信号電荷量が減少しても、安定した高速の量子化回路が実現できる。なお、高速性をより効果的にを行うため

に、本発明の第1の実施例においては、第2図に破線で示した蓄積領域(チャネル領域)(44)が図のように分割電極(24)、(25)方向へ向って細められており、実効的なチャネル長をできるだけ小さくしており、蓄積電極(21)~(23)下の信号電荷密度が増しより高速性が増す。

また、第2図に示すように蓄積電極(17)~(23)のそれぞれは分割電極(24)、(25)方向への長さが短くなっており、この事によって前述同様、分割電極(24)、(25)方向へ向かって蓄積電極下の信号電荷密度が増し、より安定した高速動作が可能である。

次に本発明の第2の実施例を図面を参照して詳細に説明する。

第4図(a)に本発明の第2の実施例の断面構造図を示す。尚、以下第2図及び第3図と同一箇所には同一符号を付して説明する。半導体基板(34)に絶縁膜を介して蓄積電極(45)~(51)が設けられており、埋込みチャネル層(35)が蓄積電極(45)(46)(47)の下に存在しない、ところが、第1の実施例と異なり、この領域が表面チャネルとなっている。即ち、第2

不純物注入領域である。従って、分割抵抗素子(59)は非常に小さくなり、チップ上での配線も単純にすることができより微細技術に適している。なお、本発明を実施するに当たっては、以上の構造の他にも種々考えられる。即ち、蓄積領域のチャネルポテンシャルを階段状に形成できる手段であれば良い。又、実施例では、全て信号電荷として電子を考えて説明したが、当然のことながら正孔であっても良いし、転送手段は、CCD、BBD(Bucket Brigade Device)等種々考えられる。又、量子化された時系列出力は周知の手段で時系列電圧信号として外部に取り出しても良いが、カウンタ回路と組合せて、2進、8進、16進等のデジタル出力として取り出すことも出来る。

尚、上記実施例においては蓄積チャネルポテンシャルを階段状に形成したが、量子化されるべきアナログ信号電荷を保持し蓄積するための蓄積領域のチャネルポテンシャルを信号電荷入力部から分割部に向かって下降する傾斜を有するように形成することも可能である。この場合の第4の実施

特開昭57-105893(4)

の実施例においては、蓄積領域のチャネルポテンシャルを階段状に形成するにあたり、同一電極電圧に対して埋込みチャネルと表面チャネルでは形成されるポテンシャルが異なり、前者がより深いという現象を利用している。このことにより、各蓄積電極へ印加すべき電圧の数を減少させることができ、回路の小形化が可能になる。(53)は分岐の減少した分割抵抗素子の等価回路である。このようにして第4図(b)に示す第1の実施例と同等なポテンシャル分布を実現することができる。(55)は電荷がないときのポテンシャル分布、(54)はアナログ信号電荷束を各々示す。

第5図は本発明の第3の実施例の断面構造図であり、(61)~(67)は蓄積電極であり、この場合偶数番目の電極下の π 形埋込みチャネル内に低濃度 p^- 形不純物がイオン注入されており、蓄積電極(62)と(63)、(64)と(65)、(66)と(67)に同一電圧が印加されても、階段状ポテンシャルが形成される。つまり、2相CCD構造と同一構造が形成され、従って、実効的な電極数は $1/2$ になる。(56)(57)(58)が前記 p^- 形

例の断面構造図を第6図(a)、第7図、第8図(a)に示し、ポテンシャル分布図を第6図(b)、第8図(b)に示す。

また、チャネルポテンシャルを上記実施例を組み合わせることにより階段・傾斜状にすることも可能である。

以上のように、本発明によれば、電荷蓄積部の蓄積信号電荷が、電荷入力部から電荷分割部に近接した領域へ同方向に常時移動するようにチャネル電位が形成されているため、大きな信号電荷量に対しても高速かつ高性能な電荷結合形量子化回路を提供できる。

4. 図面の簡単な説明

第1図(a)は、従来の電荷結合形量子化回路の断面構造図、第1図(b)~(f)は、従来の電荷結合形量子化回路の動作原理を説明するためのポテンシャル分布図、第1図(g)は第1図(a)~(f)のポテンシャル分布を説明するためのタイミングパルスを示す図、第2図は、本発明の第1の実施例を説明するための電荷結合形量子化回路の平面構造図、第3

特開昭57-105893(5)

図(a)は、第2図のX-X'線で切断した断面構造図、第3図(b)~(f)は本発明の第1の実施例の動作原理を説明するためのポテンシャル分布図、第3図(b)は、本発明の第1の実施例におけるタイミング、パルスを示す図、第4図(a)は本発明の第2の実施例を示す断面構造図、第4図(b)は第4図(a)のポテンシャル分布図、第5図は本発明の第3の実施例を示す断面構造図、第6図(a)、第7図、第8図は本発明の第4の実施例を示す断面構造図、第6図(b)、第8図(b)は第6図(a)、第7図、第8図(a)のポテンシャル分布図である。図において、

- 16…入力障壁電極、 17~23…電荷蓄積電極、
 24,25…分割電極、 26~29,32,33…転送電極、
 34…p形半導体基板、 35…口形窪みチャネル層、
 36…p⁻形低濃度不純物層、
 37…蓄積域のチャネルポテンシャル、
 38…分割電極下のポテンシャル、39…アナログ信号電荷束、
 40…信号電極下のポテンシャル、41…量子化単位電荷束。

(7317) 代理人 井理士 則 近 藤 佑 (ほか1名)

図1

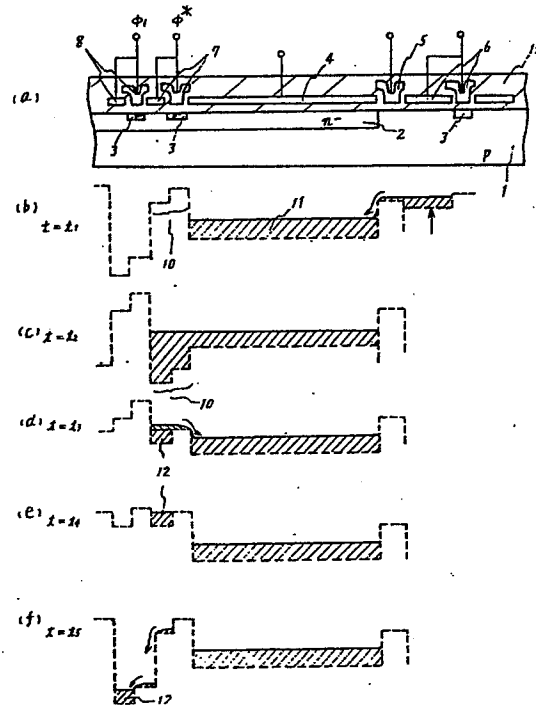


図2

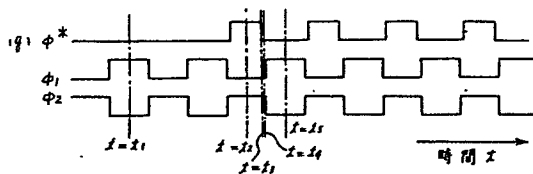


図3

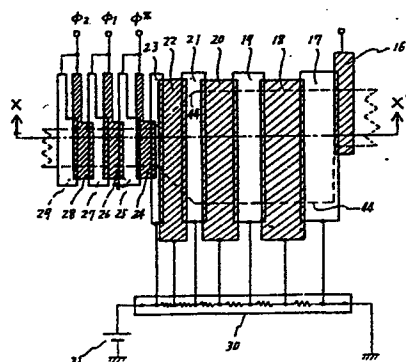
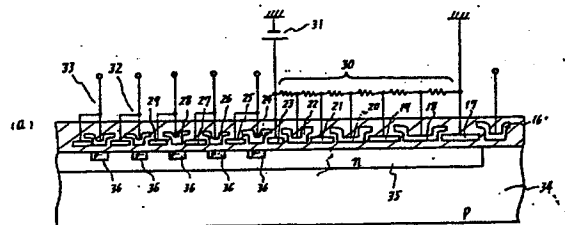
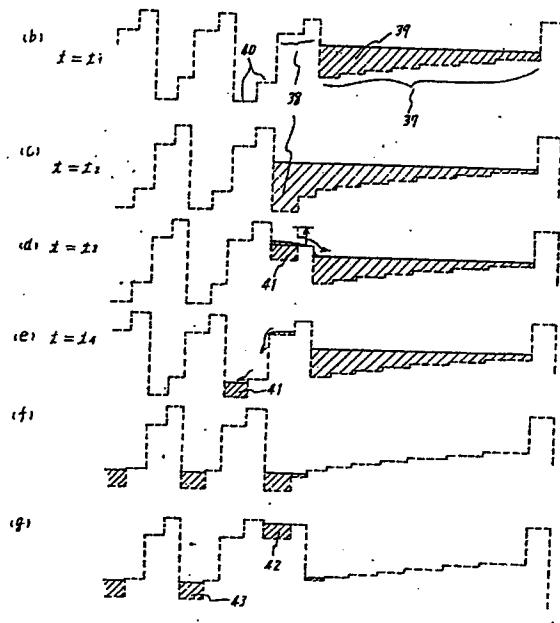


図3

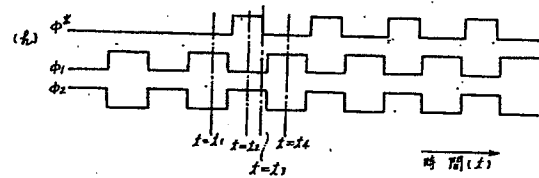


特開昭57-105893(6)

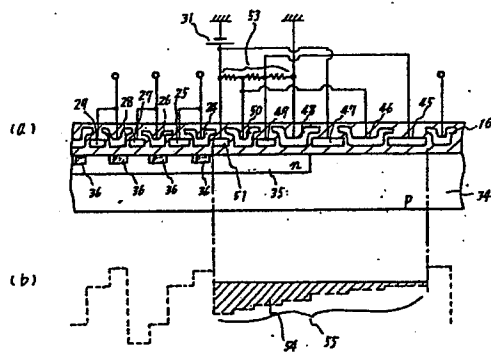
才 3 図



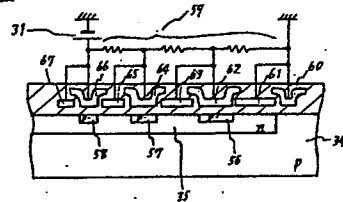
才 3 図



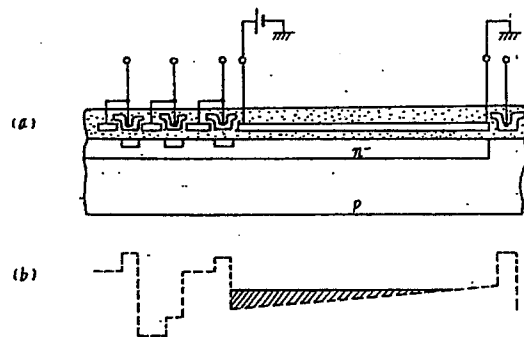
才 4 図



才 5 図

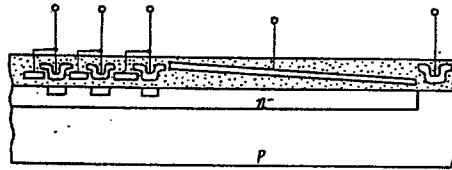


才 6 図



特開昭57-105893(7)

才 7 図



才 8 図

